

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-154792  
(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01L 27/115

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 08-310935  
(22)Date of filing : 21.11.1996

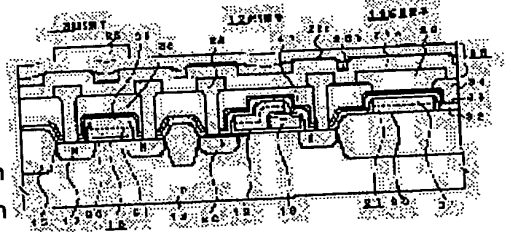
(71)Applicant : SANYO ELECTRIC CO LTD  
(72)Inventor : AOYAMA MASASHIGE  
MORIKAWA NARIHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To incorporate a capacitance element having excellent characteristics in a semiconductor integrated circuit through a simple process, by forming the capacitance element of a gate electrode and an aluminum electrode having low specific receptivity.

SOLUTION: A gate electrode 16 composed of a polysilicon layer and a silicide film is simultaneously formed with the lower electrode 21 of a capacitance element 11. The surface of the silicide film is coated with a TEOS film 32 and a silicon nitride film 33, and the films 32 and 33 are used as a dielectric substance. An opening is formed through an insulating film and the upper electrode 22 of the capacitance element 11 is formed of an aluminum electrode material.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The floating-gate electrode formed in the front face of the component field surrounded with the LOCOS oxide film, The control gate electrode formed so that it might straddle on the comparatively thick insulator layer formed on said floating-gate electrode, and the front face of said component field and said comparatively thick insulator layer, Said control gate electrode and the lower electrode of a capacitive element formed on said LOCOS oxide film at the coincidence target, The dielectric thin film which covers the 1st insulator layer [ which covers said control gate electrode and said lower electrode top ], and 1st insulator layer top, The semiconductor integrated circuit characterized by providing said lower electrode and the up electrode which counters by the 2nd insulator layer which covers said dielectric thin film top, opening of said 2nd insulator layer which exposes the front face of said dielectric thin film in the upper part of said lower electrode, and said opening.

[Claim 2] The process which carries out selective oxidation of the front face of the semi-conductor layer of one conductivity type, and forms a LOCOS insulator layer, The process which forms a floating-gate electrode in the front face of the semi-conductor layer of said one conductivity type surrounded with said LOCOS oxide film, The process which forms a control gate electrode so that said floating-gate electrode top may be straddled said semi-conductor layer top, and forms the lower electrode of a capacitive element on said LOCOS oxide film, The process which covers said control gate electrode and said lower electrode top with the 1st insulator layer, and forms a dielectric thin film on said 1st insulator layer further, The process which forms the 2nd insulator layer on said dielectric thin film, and the process which forms opening in the part corresponding to said lower electrode of said 2nd insulator layer, The manufacture approach of the semiconductor integrated circuit characterized by providing the process which forms said lower electrode and the up electrode of the capacitive element which counters so that said opening may be covered.

[Claim 3] The semiconductor integrated circuit according to claim 1 characterized by for said control gate electrode possessing the laminated structure of polycrystalline silicon and the silicide film, and using the laminated structure of said 1st insulator layer and said dielectric thin film as a dielectric.

[Claim 4] The semiconductor integrated circuit according to claim 1 characterized by having arranged the electrode which is insulated with said control gate electrode and impresses electric field above said control electrode at said floating-gate electrode.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the semiconductor integrated circuit which can include a comparatively mass capacitive element in an MOS mold integrated circuit at a simple process.

[0002]

[Description of the Prior Art] Although the simplest structure as a capacitive element included in an integrated circuit is the structure of using a PN junction, the configuration of the MOS mold using an oxide film as a dielectric, the MIS mold using a silicon nitride as a dielectric, and the MIM mold with which both use an electrode wiring material as a counterelectrode is considered since the capacity value acquired is small, for example, as indicated by JP,03-69152,A.

[0003] The configuration of an MIS mold is a configuration which formed the silicon nitride 2 on it by having used the N<sup>+</sup> diffusion layer 1 as the lower electrode, and formed the up electrode 3 on it, as shown in drawing 7 (A). As shown in drawing 7 (B), the configuration of an MIM mold forms the silicon nitride 5 on Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. as the lower electrode 4 for a part of electrode wiring layer, and forms the up electrode 6 in an electrode wiring layer on it further.

[0004] These capacitive elements have a strong demand to include in digital one LSI, such as a microcomputer and logic, as for example, an object for switched capacitor filter circuits.

[0005]

[Problem(s) to be Solved by the Invention] However, incorporating such a capacitive element in the LSI process complicated and integrated highly increasingly has the fault of complicating a process further.

[0006]

[Means for Solving the Problem] In view of the conventional technical problem mentioned above, accomplished this invention, and it forms a gate electrode and the lower electrode of a capacitive element in coincidence. Deposit on the whole the 1st insulator layer and dielectric thin film which cover a gate electrode, and by preparing an up electrode so that the 1st insulator layer and dielectric thin film may be used as the dielectric of a capacitive element The integrated circuit which also covers components other than a capacitive element with a dielectric thin film, and can improve the dependability of a component is offered simplifying a process.

[0007]

[Embodiment of the Invention] The gestalt of the 1 operation of this invention to the following is explained to a detail, referring to a drawing. Drawing 1 is the sectional view showing an example of the integrated circuit of this invention, and is the example which integrated the capacitive element 11, the memory device 12 of a flash plate mold, and the N-channel MOS component 13. The LOCOS oxide film for isolation formed when 14 showed the semi-conductor layer of P type and 15 carried out selective oxidation of the front face of the semi-conductor layer 14 in this drawing, The gate electrode of MOS device 13 and 17 16 The N type source drain field of MOS device 13, The control gate where 18 is located in the floating-gate electrode of the flash plate mold memory device 12, and 19 is located on the

floating-gate electrode 18, For the lower electrode of a capacitive element 11, and 22, as for an interlayer insulation film and 24, the up electrode of a capacitive element 12 and 23 are [ 20 / the source drain field of N type, and 21 / the aluminum electrode of the 1st layer and 25 ] the aluminum electrodes of a two-layer eye. An interlayer insulation film 23 possesses the three-tiered structure of TEOS film 23 a/SOG film 23 b/TEOS film 23c.

[0008] The gate electrode 16, the control gate 19, and the lower electrode 21 consist of the tungsten silicide film (WSi) 31 of about 1500Å of thickness formed on the polish recon layer 30 of about 1500Å of thickness, and the polish recon layer 30 for reducing gate resistance. In order to prevent oxidation of the silicide film 31, the TEOS oxide film 32 (the 1st insulator layer) of about 100Å of thickness covers the silicide film 31 top, and the silicon nitride 33 of about 300Å of thickness covers it on the TEOS oxide film 32 further. The insulator layers 34 (the 2nd insulator layer), such as BPSG film, cover the upper part of the silicon nitride 33 further.

[0009] The TEOS oxide film 32 and the silicon nitride 33 have covered the substantially entire surface of a substrate except for the contact hole of an electrode 24, and also cover the upper part of the lower electrode 21 with the same laminated structure to coincidence. And the capacitive element 11 is formed because the up electrode 22 and the lower electrode 21 sandwich the TEOS oxide film 32 and the silicon nitride 33 by opening formed in the insulator layer 34.

[0010] This configuration can be obtained by the manufacture approach like a less or equal. First, with reference to drawing 2 (A), the oxide film 38 of 100Å of thickness numbers is formed in P-type semiconductor layer 11 front face, a silicon nitride is deposited with a CVD method on it, patterning of this is carried out, and the anti-oxidation film 40 is formed. After performing formation of a channel stop field etc., the LOCOS oxide film 15 for isolation is formed by oxidizing the whole substrate thermally for several hours.

[0011] With reference to drawing 2 (B), the anti-oxidation film 40 is removed, the oxide film 38 of the component field front face surrounded with the LOCOS oxide film 15 is removed, the front face is oxidized again, and gate oxide 39 of about 150Å of pure thickness is formed. A polish recon layer is deposited with a CVD method on it, and after carrying out a phosphorus dope, anti-oxidation film, such as a silicon nitride, is formed on a polish recon layer. This anti-oxidation film is etched, opening is formed, selective oxidation of the polish recon layer front face equivalent to the floating-gate electrode 18 is carried out, and the comparatively thick oxide film 41 of 1000–2000Å of thickness is formed. And the floating-gate electrode 18 of a memory device 12 is formed by removing the anti-oxidation film and etching a lower polish recon layer by using said comparatively thick oxide film as a mask.

[0012] The 2nd gate oxide is formed in the component field front face surrounded with the LOCOS oxide film 15 with reference to drawing 3 (A), and the gate electrode 16 of MOS device 13, the control gate 19 of a memory device 12, and the lower electrode 21 of a capacitive element 11 are formed by deposition of the polish recon layer 30, a phosphorus dope, and the tungsten silicide film 31, and photoetching of the polish recon layer 30 and the silicide film 31. Subsequently, the source drain fields 17 and 20 of N type are formed by performing the ion implantation of  $\text{Lynn}$  by using a gate electrode as a mask. And the NSG film is deposited on the whole surface with a CVD method so that gate electrode 16 grade may be covered, and a spacer 42 is formed in both the sides of the gate electrode 16 by carrying out whole surface etchback of this by the anisotropy. A spacer 42 is formed also like both the sides of the lower electrode 21 of a capacitive element.

[0013] In order to protect the surface silicide film 31 from oxidation with reference to drawing 3 (B), the TEOS oxide film 32 of about 100Å of thickness is formed in the whole surface with a reduced pressure CVD method, the ion implantation of the arsenic is further carried out to the source drain fields 17 and 20 in piles from a front face, and hundreds of degrees C heat treatment for activating an impurity is performed for about 1 hour. And the silicon nitride 33 of about 300Å of thickness is formed in the whole surface with a reduced pressure CVD method.

[0014] After forming opening which exposes the silicon nitride 33 of the capacitive element 11 section first by photoetching after depositing the BPSG film on the whole surface, considering as an insulator

layer 34 with reference to drawing 4 and performing heat treatment for flattening and changing a resist mask, the contact hole on the contact hole which exposes the front face of a source drain field and the control gate 1, and a gate electrode (not shown) is formed shortly. This etching performs continuously the BPSG film 34, the silicon nitride 33, and the TEOS film 32 by changing etching gas one by one. And an aluminum ingredient is deposited by the spatter and the 1st layer electrode 24 and the up electrode 22 of a capacitive element 11 are formed by carrying out patterning of this.

[0015] With reference to drawing 5, TEOS oxide-film 23a of about 7000Å of thickness is formed by the plasma-CVD method on the 1st layer electrode 24, subsequently SOG film 23b is formed with a spin-on coat, and TEOS oxide-film 23c is again formed by the plasma-CVD method, it considers as an interlayer insulation film 23, and after forming a through hole in an interlayer insulation film 23 if needed, the two-layer eye electrode 25 is formed.

[0016] According to this invention explained above, since the lower electrode 21 of a capacitive element is formed in formation and coincidence of the gate electrode 16 and the up electrode 22 is formed in formation and coincidence of the 1st layer aluminum electrode 24, a process can be simplified. With the flash memory component of the split mold shown especially in drawing 1, although it becomes a two-layer polish recon process, since it is difficult to use as a capacitive element 21 since it has the thick oxide film 41 between the floating-gate electrode 18 and the control gate, the technique of this application becomes effective.

[0017] Moreover, since an aluminum wiring material can be used for the silicide film 31 which is a refractory metal as a lower electrode 21 as an up electrode 22, it is possible to make series resistance of a capacitive element 11 very small. Furthermore, since the front face of the silicide film 31 is covered with the TEOS film 32 and the silicon nitride 33, the silicide film 31 can be certainly protected from the ambient atmosphere of an oxidizing quality, and the exfoliation from the polish recon layer by the grain of the silicide film 31 growing can be prevented. To needing about 500Å thickness for acquiring the same effectiveness with TEOS film 32 simple substance, since the upper part is covered with the silicon nitride 33 which is anti-oxidation film, thickness can be made very thin with 100Å. Although the cascade screen of the TEOS film 32 and the silicon nitride 33 turns into a dielectric thin film in a capacitive element 11, the dielectric constant of the TEOS film 32 has only the abbreviation one half of the silicon nitride 33. Therefore, if the TEOS film 32 is made thin, capacity value per unit area of a capacitive element 11 can be enlarged.

[0018] And further, the passivation effectiveness can be given to the moisture which invades from SOG film 23b of an interlayer insulation film 23 because the silicon nitride 33 covers all components, and the life of a hot carrier can be especially increased by N channel mold MOS device 13. Drawing 6 is the sectional view showing the 2nd example of this invention. The same sign is laid down on the same part as drawing 1, and explanation is omitted. Carrying out opening of the insulator layer 34 of the memory device 12 upper part using the selectivity of the BPSG film and a silicon nitride, and installing the electric-field electrode 43 on the silicon nitride 33 differ. Negative electric field are impressed to the electric-field electrode 43. Moreover, after the process of drawing 4, opening on the control gate 19 is formed at the same time it forms a through hole in an interlayer insulation film 23, and the electric-field electrode 43 is installed in formation and coincidence of the two-layer eye electrode 25.

[0019] The charge which memorizes information and \*\*\*\* accumulated emits and disappears by a certain fixed probability with time amount by accumulating the charge which the memory device 12 of a flash plate mold poured the charge (electron) into the floating-gate electrode 18, and was poured in with the energy barrier of the floating-gate electrode 18 and the insulator layer of the perimeter. In this example, since negative charge and the charge of stored charge (electron) oppose by impressing electric field negative with the electric-field electrode 43, a charge can be confined in the floating-gate electrode 18 interior. Therefore, it is possible to lengthen sharply the holding time of the storage information on a memory device 12.

[0020]

[Effect of the Invention] Since the lower electrode 21 and an aluminum electrode are constituted for the

gate electrode 16 of silicide structure as an up electrode 22 according to this invention as explained above, it has the advantage which can simplify a production process. Moreover, since specific resistance can use a small electrode layer by silicide, it has the advantage which can reduce the series resistance of a capacitive element sharply.

[0021] Moreover, although the TEOS film 32 is used for some dielectric films, since the thickness can be made very thin by covering a it top with the silicon nitride 33, it has an advantage with the capacity value able to incorporate a big component per unit area. And since the whole component is covered with the silicon nitride 33, the passivation effectiveness over moisture can be acquired and it also has the advantage which can increase the dependability of an integrated circuit.

---

[Translation done.]



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining this invention.

[Drawing 2] It is a sectional view for explaining this invention.

[Drawing 3] It is a sectional view for explaining this invention.

[Drawing 4] It is a sectional view for explaining this invention.

[Drawing 5] It is a sectional view for explaining this invention.

[Drawing 6] It is a sectional view for explaining this invention.

[Drawing 7] It is a sectional view for explaining the conventional example.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154792

(43) 公開日 平成10年(1998) 6月9日

(51) Int. Cl. <sup>6</sup>	識別記号	F I	
H01L 27/04		H01L 27/04	C
21/822		27/10	434
27/115		29/78	371
21/8247			
29/788			

審査請求 未請求 請求項の数 4 O L (全 6 頁) 最終頁に続く

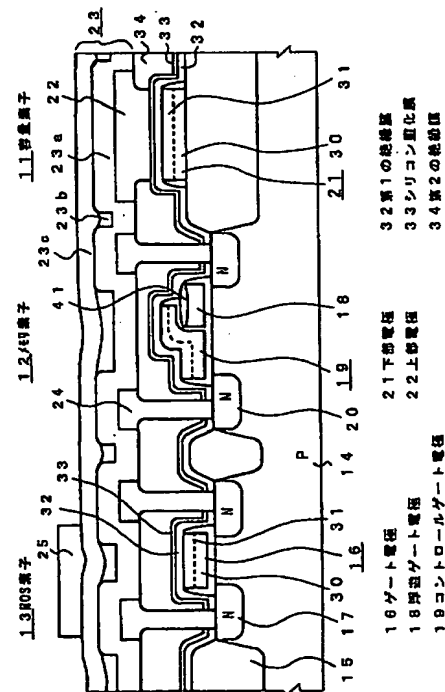
(21) 出願番号	特願平8-310935	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22) 出願日	平成 8 年(1996)11月21日	(72) 発明者	青山 将茂 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(72) 発明者	森川 成洋 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
		(74) 代理人	弁理士 安富 耕二 (外 1 名)

(54) 【発明の名称】 半導体集積回路とその製造方法

(57) 【要約】

【課題】 比抵抗の小さいゲート電極とアルミ電極とで容量素子を形成することにより高特性の容量素子を簡単な工程で組み込むこと。

【解決手段】 ポリシリコン層／シリサイド膜からなるゲート電極 1 6 を形成し、同時に容量素子 1 の下部電極 2 1 を形成する。シリサイド膜の上を TEOS 膜 3 2、シリコン窒化膜 3 3 で被覆し、TEOS 膜 3 2 とシリコン窒化膜 3 3 を誘電体とする。絶縁膜を開口し、アルミ電極材料により容量素子 1 1 の上部電極 2 2 を形成する。



## 【特許請求の範囲】

【請求項 1】 LOCOS 酸化膜で囲まれた素子領域の表面に形成した浮遊ゲート電極と、  
前記浮遊ゲート電極の上に形成した比較的厚い絶縁膜と、

前記素子領域の表面と前記比較的厚い絶縁膜の上に跨るように形成したコントロールゲート電極と、

前記コントロールゲート電極と同時的に前記 LOCOS 酸化膜上に形成した、容量素子の下部電極と、

前記コントロールゲート電極と前記下部電極の上を被覆する第 1 の絶縁膜及び第 1 の絶縁膜の上を被覆する誘電体薄膜と、

前記誘電体薄膜の上を被覆する第 2 の絶縁膜と、

前記下部電極の上部で前記誘電体薄膜の表面を露出する、前記第 2 の絶縁膜の開口部と、

前記開口部で前記下部電極と対向する上部電極と、を具備することを特徴とする半導体集積回路。

【請求項 2】一導電型の半導体層の表面を選択酸化して LOCOS 絶縁膜を形成する工程と、

前記 LOCOS 酸化膜で囲まれた前記一導電型の半導体層の表面に浮遊ゲート電極を形成する工程と、

前記半導体層の上と前記浮遊ゲート電極の上を跨るようにコントロールゲート電極を形成し、前記 LOCOS 酸化膜の上には容量素子の下部電極を形成する工程と、

前記コントロールゲート電極と前記下部電極との上を第 1 の絶縁膜で被覆し、更に前記第 1 の絶縁膜の上に誘電体薄膜を形成する工程と、

前記誘電体薄膜の上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の前記下部電極に対応する部分に開口部を形成する工程と、

前記開口部を覆うように前記下部電極と対向する容量素子の上部電極を形成する工程と、を具備することを特徴とする半導体集積回路の製造方法。

【請求項 3】 前記コントロールゲート電極が、多結晶シリコンとシリサイド膜との積層構造を具備し、且つ前記第 1 の絶縁膜と前記誘電体薄膜との積層構造を誘電体とすることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記コントロール電極の上方に、前記コントロールゲート電極とは絶縁され前記浮遊ゲート電極に電界を印加する電極を配置したことを特徴とする請求項 1 記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、MOS 型集積回路に比較的大容量の容量素子を簡素な工程で組み込むことができる半導体集積回路の製造方法に関する。

## 【0002】

【従来の技術】 集積回路に組み込む容量素子として最も簡便な構造は PN 接合を用いる構造であるが、得られる

容量値が小さいため、例えば特開平 03-69152 号に記載されているように、酸化膜を誘電体として用いる MOS 型、シリコン窒化膜を誘電体として用いる MIS 型、対向電極として両方とも電極配線材料を用いる MIM 型の構成が考えられている。

【0003】 MIS 型の構成は、図 7 (A) に示すように、N+ 拡散層 1 を下部電極としてその上にシリコン窒化膜 2 を形成し、その上に上部電極 3 を形成した構成である。MIM 型の構成は、図 7 (B) に示すように、電極配線層の一部を下部電極 4 としその上にシリコン窒化膜 5 を形成し、更にその上に電極配線層にて上部電極 6 を形成したものである。

【0004】 これらの容量素子は、たとえばスイッチトキャパシタフィルタ回路用として、マイコン、ロジック等のデジタル LSI にも組み込みたい要求が強い。

## 【0005】

【発明が解決しようとする課題】 しかしながら、ますます複雑化・高集積化する LSI プロセスの中でこのような容量素子を組み込むことは、プロセスを更に複雑化するという欠点がある。

## 【0006】

【課題を解決するための手段】 本発明は、上述した従来の課題に鑑み成されたもので、ゲート電極と容量素子の下部電極とを同時に形成し、ゲート電極を被覆する第 1 の絶縁膜と誘電体薄膜を全体に堆積し、そして第 1 の絶縁膜と誘電体薄膜とを容量素子の誘電体とするように上部電極を設けることにより、工程を簡略化しつつ容量素子以外の素子をも誘電体薄膜で被覆して素子の信頼性を向上できる集積回路を提供するものである。

## 【0007】

【発明の実施の形態】 以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。図 1 は本発明の集積回路の一例を示す断面図であり、容量素子 11、フラッシュ型のメモリ素子 12、および N チャンネル MOS 素子 13 を集積化した例である。同図において、14 は P 型の半導体層を示し、15 は半導体層 14 の表面を選択酸化することにより形成した素子分離用の LOCOS 酸化膜、16 は MOS 素子 13 のゲート電極、17 は MOS 素子 13 の N 型ソース・ドレイン領域、18 はフラッシュ型メモリ素子 12 の浮遊ゲート電極、19 は浮遊ゲート電極 18 上に位置するコントロールゲート、20 は N 型のソース・ドレイン領域、21 は容量素子 11 の下部電極、22 は容量素子 12 の上部電極、23 は層間絶縁膜、24 は 1 層目のアルミ電極、25 は 2 層目のアルミ電極である。層間絶縁膜 23 は、TEOS 膜 23 a / SOG 膜 23 b / TEOS 膜 23 c の 3 層構造を具備する。

【0008】 ゲート電極 16、コントロールゲート 19、及び下部電極 21 は、膜厚 1500 Å 程度のポリシリコン層 30 と、ゲート抵抗を低減する為の、ポリシリ

コン層 30 の上に形成した膜厚 1500 Å 程度のタンゲステンシリサイド膜 (WSi) 31 とから成る。シリサイド膜 31 の上はシリサイド膜 31 の酸化を防止するために膜厚 100 Å 程度の TEOS 酸化膜 32 (第 1 の絶縁膜) が被覆し、さらに TEOS 酸化膜 32 の上に膜厚 300 Å 程度のシリコン窒化膜 33 が被覆する。シリコン窒化膜 33 の上部は更に BPSG 膜等の絶縁膜 34 (第 2 の絶縁膜) が被覆する。

【0009】TEOS 酸化膜 32 とシリコン窒化膜 33 とは電極 24 のコンタクトホールを除いて基板の略全表面を被覆しており、同時に下部電極 21 の上部も同様の積層構造で被覆する。そして、絶縁膜 34 に形成した開口部で上部電極 22 と下部電極 21 が TEOS 酸化膜 32 とシリコン窒化膜 33 を挟むことで容量素子 11 を形成している。

【0010】斯かる構成は、以下の如き製造方法によって得ることができる。先ず図 2 (A) を参照して、P 型半導体層 11 表面に膜厚数百 Å の酸化膜 38 を形成し、その上に CVD 法によりシリコン窒化膜を堆積し、これをパターニングして耐酸化膜 40 を形成する。チャンネルストップ領域の形成などを行った後、基板全体を数時間熱酸化することにより素子分離用の LOCOS 酸化膜 15 を形成する。

【0011】図 2 (B) を参照して、耐酸化膜 40 を除去し、LOCOS 酸化膜 15 で囲まれた素子領域表面の酸化膜 38 を除去し、その表面を再度酸化して清浄な膜厚 150 Å 程度のゲート酸化膜 39 を形成する。その上に CVD 法によりポリシリコン層を堆積し、リンドープした後ポリシリコン層の上にシリコン窒化膜等の耐酸化膜を形成する。該耐酸化膜をエッチングして開口部を形成し、浮遊ゲート電極 18 に相当するポリシリコン層表面を選択酸化して膜厚 1000 ~ 2000 Å の比較的厚い酸化膜 41 を形成する。そして耐酸化膜を除去し、前記比較的厚い酸化膜をマスクとして下のポリシリコン層をエッチングすることでメモリ素子 12 の浮遊ゲート電極 18 を形成する。

【0012】図 3 (A) を参照して、LOCOS 酸化膜 15 で囲まれた素子領域表面に 2 回目のゲート酸化膜を形成し、ポリシリコン層 30 の堆積、リンドープ、タンゲステンシリサイド膜 31 の堆積、ポリシリコン層 30 とシリサイド膜 31 とのホットエッチングにより、MOS 素子 13 のゲート電極 16、メモリ素子 12 のコントロールゲート 19、及び容量素子 11 の下部電極 21 を形成する。次いで、ゲート電極をマスクとしてリンのイオン注入を行う事により N 型のソース・ドレイン領域 17、20 を形成する。そして、ゲート電極 16 等を被覆するように全面に CVD 法により NSG 膜を堆積し、これを異方性で全面エッチバックすることによりゲート電極 16 の両脇にスペーサ 42 を形成する。容量素子の下部電極 21 の両脇にも同様にスペーサ 42 が形成され

る。

【0013】図 3 (B) を参照して、表面のシリサイド膜 31 を酸化から保護するために、全面に減圧 CVD 法により膜厚 100 Å 程度の TEOS 酸化膜 32 を形成し、更に表面からヒ素をソース・ドレイン領域 17、20 に重ねてイオン注入し、不純物を活性化するための数百℃の熱処理を 1 時間程度行う。そして全面に減圧 CVD 法により膜厚 300 Å 程度のシリコン窒化膜 33 を形成する。

【0014】図 4 を参照して、全面に BPSG 膜を堆積して絶縁膜 34 とし、平坦化の為の熱処理を行った後、ホットエッチングにより先ず容量素子 11 部のシリコン窒化膜 33 を露出する開口部を形成し、レジストマスクを変更した後、今度はソース・ドレイン領域の表面を露出するコンタクトホール、およびコントロールゲート 1 とゲート電極上のコンタクト孔 (図示せず) を形成する。このエッチングは、BPSG 膜 34、シリコン窒化膜 33、TEOS 膜 32 を順次エッチングガスを切り替えることで連続的に行う。そしてスパッタ法によりアルミニウム材料を堆積し、これをパターニングすることにより 1 層目電極 24 と容量素子 11 の上部電極 22 を形成する。

【0015】図 5 を参照して、1 層目電極 24 の上にプラズマ CVD 法により膜厚 7000 Å 程度の TEOS 酸化膜 23a を形成し、次いで SOG 膜 23b をスピノンコートにより形成し、再度プラズマ CVD 法により TEOS 酸化膜 23c を形成して層間絶縁膜 23 とし、必要に応じて層間絶縁膜 23 にスルーホールを形成した後 2 層目電極 25 を形成する。

【0016】以上に説明した本発明によれば、ゲート電極 16 の形成と同時に容量素子の下部電極 21 を、1 層目アルミ電極 24 の形成と同時に上部電極 22 を形成するので、工程を簡素化することができる。特に図 1 に示したスプリット型のフラッシュメモリ素子では、2 層ポリシリコンプロセスとなるものの、浮遊ゲート電極 18 とコントロールゲートとの間に厚い酸化膜 41 を有するので容量素子 21 として利用するのが難しいので、本願の手法が有効となる。

【0017】また、下部電極 21 として高融点金属であるシリサイド膜 31 を、上部電極 22 としてアルミ配線材料を用いることができるので、容量素子 11 の直列抵抗を極めて小さくすることが可能である。さらに、シリサイド膜 31 の表面を TEOS 膜 32 とシリコン窒化膜 33 で被覆するので、シリサイド膜 31 を酸化性の雰囲気から確実に保護することができ、シリサイド膜 31 のグレインが成長することによるポリシリコン層からの剥離を防止できる。同じ効果を得るのに TEOS 膜 32 単体では 500 Å 程度の膜厚を必要とするのに対し、上部を耐酸化膜であるシリコン窒化膜 33 で被覆するので膜厚を 100 Å と極めて薄くすることができる。容量素子

11においてはTEOS膜32とシリコン窒化膜33との積層膜が誘電体薄膜となるが、TEOS膜32の誘電率はシリコン窒化膜33の約半分しかない。従ってTEOS膜32を薄くすれば、容量素子11の単位面積当たりの容量値を大きくすることができる。

【0018】そして更に、シリコン窒化膜33が全素子を被覆することで、例えば層間絶縁膜23のSOG膜23bから侵入する水分に対してパッシベーション効果を持たせることができ、特にNチャンネル型MOS素子13でホットキャリアの寿命を増大できるものである。図6は本発明の第2の実施例を示す断面図である。図1と同じ箇所には同じ符号を伏して説明を省略する。異なるのは、BPSG膜とシリコン窒化膜との選択性を利用してメモリ素子12上部の絶縁膜34を開口し、シリコン窒化膜33上に電界電極43を設置することである。電界電極43には負の電界を印加してある。また、図4の工程の後、層間絶縁膜23にスルーホールを形成すると同時にコントロールゲート19上の開口を形成し、2層目電極25の形成と同時に電界電極43を設置している。

【0019】フラッシュ型のメモリ素子12は浮遊ゲート電極18に電荷（電子）を注入し、浮遊ゲート電極18とその周囲の絶縁膜とのエネルギー障壁により注入した電荷を蓄積することにより情報を記憶するものであり、蓄積した電荷は時間と共にある一定の確率で放出・消滅する。この実施例では、電界電極43で負の電界を印加することにより、負の電荷と蓄積電荷（電子）の電荷とが反発することから、電荷を浮遊ゲート電極18内

部に閉じこめることができる。したがってメモリ素子12の記憶情報の保持時間を大幅にのばすことが可能である。

#### 【0020】

【発明の効果】以上に説明した通り、本発明によれば、シリサイド構造のゲート電極16を下部電極21、アルミ電極を上部電極22として構成するので、製造工程を簡素化できる利点を有する。また、シリサイドにより比抵抗が小さい電極層を用いることができるので、容量素子の直列抵抗を大幅に減じることができる利点を有する。

【0021】また、誘電体膜の一部にTEOS膜32を用いるものの、その上をシリコン窒化膜33で被覆することによりその膜厚を極めて薄くできるので、単位面積当たりの容量値が大きな素子を組み込むことが可能である利点を有する。そして、素子全体をシリコン窒化膜33で被覆するので、水分に対するパッシベーション効果を得ることができ、集積回路の信頼性を増大できる利点をも有する。

#### 20 【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

【図3】本発明を説明するための断面図である。

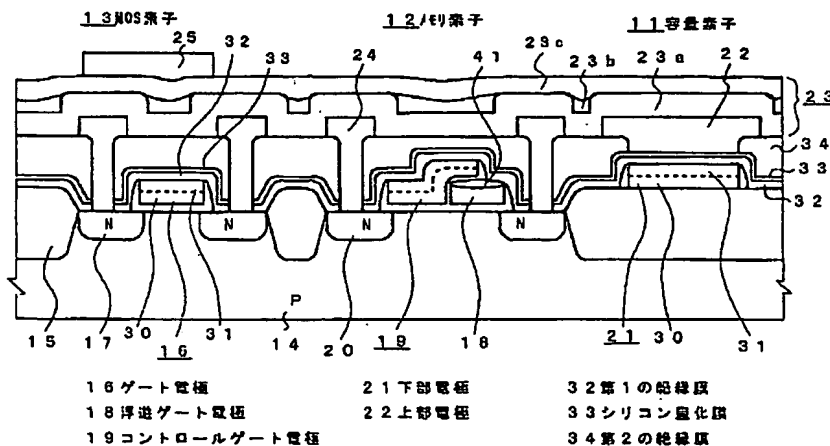
【図4】本発明を説明するための断面図である。

【図5】本発明を説明するための断面図である。

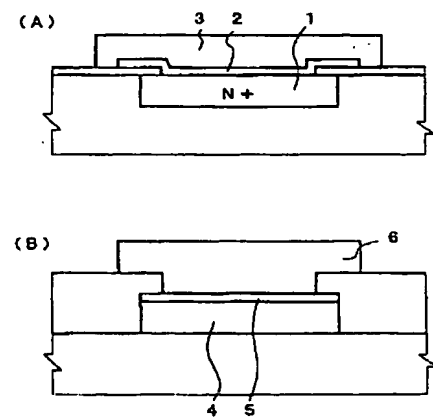
【図6】本発明を説明するための断面図である。

【図7】従来例を説明するための断面図である。

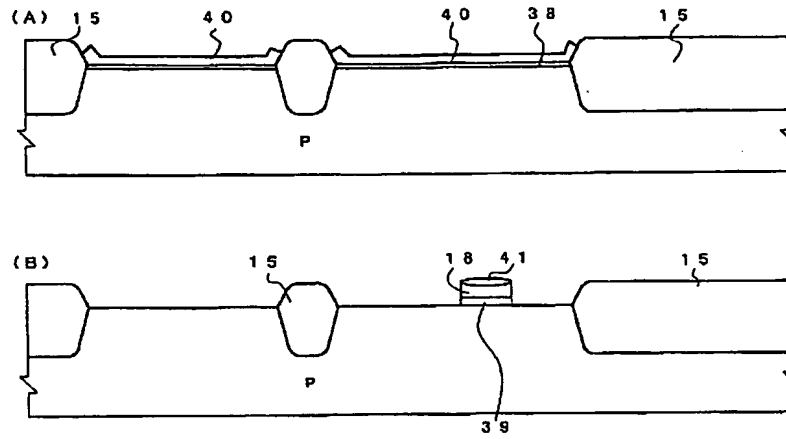
【図1】



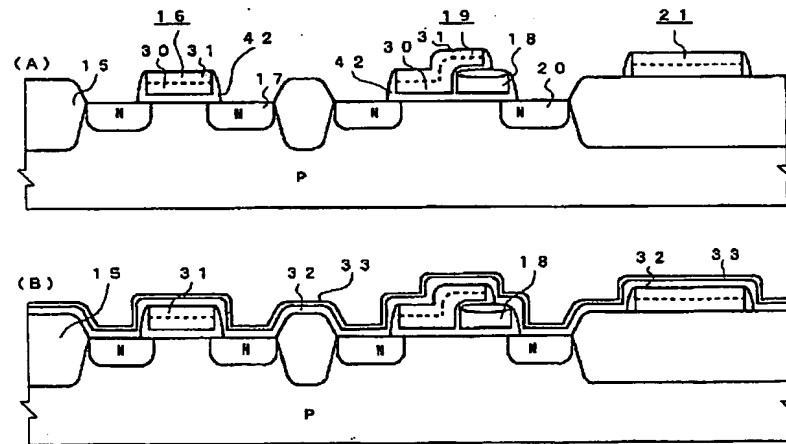
【図7】



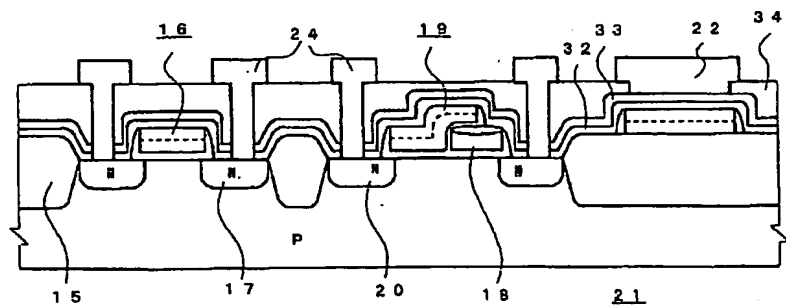
【図 2】



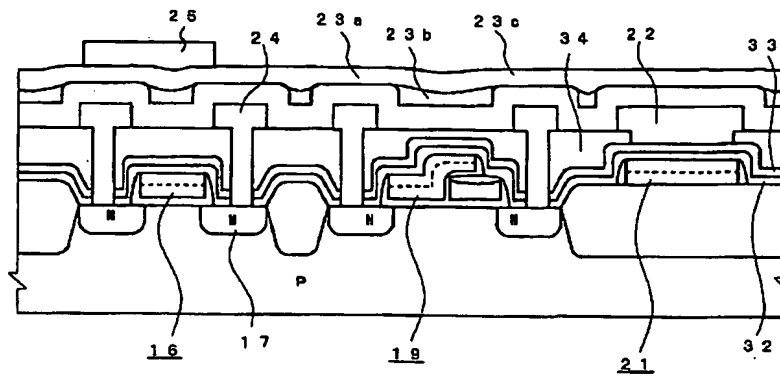
【図 3】



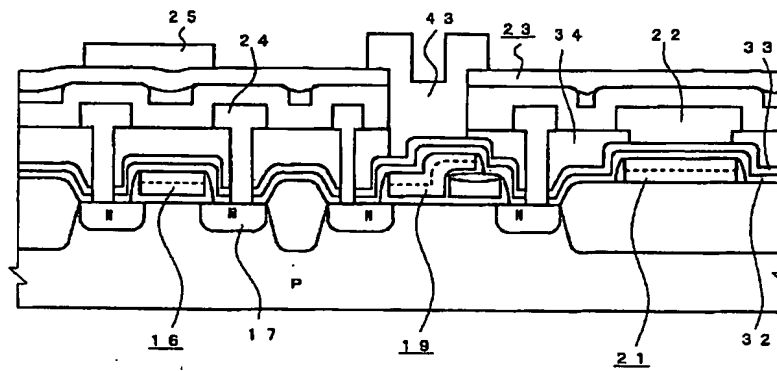
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 29/792

識別記号

F I